

Ihr Zeichen: P2000,0167 RU N
Unser Zeichen: 2412-226999RU/5042
RU-Anmeldung Nr.: 2003106401
Patentanwalt: Yury D. Kuznetsov

TRANSLATION

BESCHLUSS ÜBER ERTEILUNG EINES ERFINDUNGSPATENTES

(21) Anmeldung Nr. **2003106401/28(007159)** (22) Anmeldedatum: **06.08.2001**
(24) Tag, ab dem die Rechte auf gewerbliches Eigentum in Kraft treten können: **06.08.2001**
(85) Tag der Einleitung der nationalen Phase: **11.03.2003**

PRIORITÄT IST FESTGESETZT NACH

- ☐ (22) Anmeldetag
☐ (23) Datum der Einreichung der zusätzlichen Unterlagen vom zur früher eingereichten
Anmeldung Nr.
☐ (62) ☐ Prioritätstag der Anmeldung Nr. von aus welcher die vorliegende Anmeldung
ausgeschieden wurde
☐ Tag der Einreichung der früheren Anmeldung Nr. von aus welcher die
vorliegende Anmeldung ausgeschieden wurde
☐ (66) Tag der Einreichung der früheren Anmeldung Nr.
☒ (30) Tag, der mit der Priorität gemäß dem Pariser Unionsvertrag verbunden ist

(31) Nummer der Prioritätsanmeldung(en)	(32) Anmeldedatum der Prioritätsanmeldung(en)	(33) Kode des Landes	Patentanspruch
100 39 441.8	11.08.2000	DE	✓
09/900,654	06.07.2001	US	✓

(86) Nr. und Tag der Einreichung der PCT-Anmeldung: **PCT/DE01/02997** von **06.08.2001** ✓

(87) Nr. und Tag der PCT-Veröffentlichung: **WO 02/152760** von **21.02.2002**

(72) Erfinder(s) **PALM, Herbert, WILLER, Kosef, GRATZ, Achim, KRIZ, Jakob, ROEHRICH, Mayk, DE**

(73) Patentinhaber **INFINEON TECHNOLOGIES AG, DE** ✓

(51) **IPK⁷ H01L 27/115, H01L 21/8246**

(54) Bezeichnung der Erfindung **Speicheranordnung und Herstellungsverfahren**

Im Ergebnis der sachlichen Prüfung der Anmeldung, die in Bezug auf die geänderte Fassung der Patentansprüche durchgeführt wurde, hat die Abteilung für Gerätebauindustrie und Meßtechnik die Übereinstimmung der angemeldeten Gruppe der Erfindungen mit den Voraussetzungen der Patentfähigkeit, die in Art. 4 der geltenden Fassung des Patentgesetz der Russischen Föderation angegeben sind, festgestellt und beschlossen ein Patent der Russischen Föderation auf die Gruppe der Erfindungen mit dem in Seiten 2 bis 3 angeführten Patentbegehren zu erteilen.



(21) 2003106401/28

(54) (57)

1. Speicheranordnung aus Speicherzellen mit einem Speichertransistor, der an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht eine Gate-Elektrode (2) aufweist, die zwischen in dem Halbleitermaterial ausgebildet Source-Bereich (3) und Drain-Bereich (4) angeordnet ist und die von dem Halbleitermaterial durch dielektrisches Material getrennt ist, das eine Speicherschicht (6) zwischen Begrenzungsschichten (5, 7) aufweist, die für den Einfang von Ladungsträgern vorgesehen ist, wobei die Gate-Elektrode (2) in einem in dem Halbleitermaterial zwischen dem Source-Bereich (3) und dem Drain-Bereich (4) ausgebildeten Graben angeordnet ist und die Speicherschicht (6) zumindest zwischen dem Source-Bereich (3) und der Gate-Elektrode (2) und zwischen dem Drain-Bereich (4) und der Gate-Elektrode (2) vorhanden ist, und in der Speicheranordnung die Gate-Elektroden (2) jeweils mit einer als Wortleitung vorgesehenen Leiterbahn (8) elektrisch leitend verbunden sind und der Source-Bereich (3) und der Drain-Bereich (4) einer Speicherzelle gleichzeitig als Drain-Bereich bzw. als Source-Bereich einer benachbarten Speicherzelle vorgesehen ist, wobei a) die Source-Bereiche und die Drain-Bereiche Teile der entlang die Gräben verlaufenden Bitleitungen darstellen; b) die Wortleitungen quer zu den Gräben verlaufen; und c) Räume zwischen den benachbarten Gate-Elektroden in dem gleichen Grabe mit einem dielektrischen Material gefüllt sind.

2. Anordnung nach Anspruch 1, in der die die Speicherschicht (6) umfassende Schichtfolge auf dem Halbleitermaterial ganzflächig zwischen den Gate-Elektroden (2) und dem Halbleitermaterial und zwischen den Leiterbahnen (8) und dem Halbleitermaterial aufgebracht ist.

3. Anordnung nach Anspruch 1, in der die Speicherschicht (6) zwischen den Wänden des Grabens und/oder zwischen zwei zueinander benachbarten Gräben unterbrochen ist.

4. Anordnung nach Anspruch 1, in der die Gate-Elektroden (2) in V-förmigen oder zumindest schräg ausgerichtete Wände aufweisenden Gräben in dem Halbleitermaterial angeordnet sind.

5. Anordnung nach Anspruch 1, in der der Abstand zwischen einem Source-Bereich (3) und einem Drain-Bereich (4) derselben Speicherselle höchstens 180 nm beträgt.

6. Anordnung nach Anspruch 5, in der der Abstand zwischen einem Source-Bereich (3) und einem Drain-Bereich (4) derselben Speicherzelle höchstens 150 nm beträgt.

7. Verfahren zur Herstellung einer Speicheranordnung nach einem der Ansprüche 1 bis 6, bei dem in einem ersten Schritt in einem Halbleiterkörper (1) oder einer Halbleiterschicht eine Mehrzahl von parallel zueinander verlaufenden Gräben (14) und seitlich daran angrenzende, als Source (3), Drain (4) und eine Bitleitung vorgesehene dotierte Bereiche hergestellt werden; in einem zweiten Schritt ein Speichermedium in den Gräben durch Aufbringen einer Schichtfolge aus einer unteren Begrenzungsschicht (5), einer aus einem dielektrischen Material gebildeten Speicherschicht (6) und einer oberen Begrenzungsschicht (7) hergestellt wird; in einem dritten Schritt ein für eine jeweilige Gate-Elektrode (2) vorgesehenes elektrisch leitfähiges Material in die Gräben eingebracht wird und darauf als Wortleitungen vorgesehene Leiterbahnen (8) strukturiert werden, wobei die Wortleitungen quer zu den Gräben angeordnet werden um die Gate-Elektroden zu verbinden.

8. Verfahren nach Anspruch 7, bei dem in dem ersten Schritt eine Mehrzahl von Gräben geätzt wird, diese Gräben mit einem Oxid gefüllt werden, eine Implantation von Dotierstoff zur Ausbildung der dotierten Bereiche vorgenommen wird und unter Verwendung einer Maske, die einen als STI-Gräben zur elektrischen Isolation vorgesehenen Anteil der Gräben abdeckt, das Oxid zumindest in Bereichen, die für eine Gate-Elektrode vorgesehen sind, entfernt wird.

9. Verfahren nach Anspruch 7, bei dem zwischen dem zweiten und dem dritten Schritt die obere Begrenzungsschicht und die Speicherschicht zumindest zwischen den Wänden eines in dem Halbleitermaterial vorhandenen Grabens, der für mindestens eine Gate-Elektrode vorgesehen ist, und/oder zwischen zwei zueinander benachbarten Gräben mindestens bis auf die untere Begrenzungsschicht reichend entfernt werden.

10. Verfahren nach Anspruch 7, bei dem in dem ersten Schritt die Gräben mit dielektrischem Material gefüllt werden und unter Verwendung einer Maske Öffnungen (25) in dem dielektrischen Material hergestellt werden und in dem dritten Schritt das elektrisch leitfähige Material in jede solche Öffnung eingebracht wird.

11. Verfahren nach Anspruch 7, bei dem in dem ersten Schritt die Gräben mit dielektrischem Material gefüllt werden, eine Schicht (19) aus dielektrischem Material aufgebracht wird, vor dem zweiten Schritt quer zu den Gräben mehrere parallel zueinander ausgerichtete streifenförmige Öffnungen in dem dielektrischen Material hergestellt werden und in dem dritten Schritt das elektrisch leitfähige Material in jede solche Öffnung eingebracht wird.

Ihr Zeichen: P2000,0167 RU N
Unser Zeichen: 2412-226999RU/5042
RU-Anmeldung Nr.: 2003106401
Patentanwalt: Yury D. Kuznetsov

ERTEILUNGBESCHLUSS

Blatt 4 aus 4

(56) EP 0967654 A1, 29.12.1999 ✓

US 3,731,163 A, 01.05.1973 ✓

DE 2946864 A, 04.06.1980 ✓

US 5,905,285 A, 18.05.1999 ✓

SU 752476 A, 30.07.1980

} kein Belang

Einlagen: Zusammenfassung des Prüfers (1 Blatt, 1 Exemplar)

Leitender staatlicher Prüfer

Tzarev A.G.

240 40 36

Baginskaya 240 40 36

Geänderte Patentansprüche

~~1. Speicherselle mit einem Speichertransistor, der an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht eine Gate-Elektrode (2) aufweist, die zwischen einem Source-Bereich (3) und einem Drain-Bereich (4) angeordnet ist, die in dem Halbleitermaterial ausgebildet sind, und die von dem Halbleitermaterial durch dielektrisches Material getrennt ist, das eine Speicherschicht (6) zwischen Begrenzungsschichten (5, 7) aufweist, die für den Einfang von Ladungsträgern vorgesehen ist, dadurch gekennzeichnet, dass die Gate-Elektrode (2) in einem in dem Halbleitermaterial zwischen dem Source-Bereich (3) und dem Drain-Bereich (4) ausgebildeten Graben angeordnet ist und die Speicherschicht (6) zumindest zwischen dem Source-Bereich (3) und der Gate-Elektrode (2) und zwischen dem Drain-Bereich (4) und der Gate-Elektrode (2) vorhanden ist.~~

~~2. Speicherzelle nach Anspruch 1, bei der zumindest eine Begrenzungsschicht (5), die dem Halbleitermaterial zugewandt ist, ein Material mit einer relativen Dielektrizitätszahl von mindestens 3,9 ist.~~

~~3. Speicherzelle nach Anspruch 1, bei der zumindest eine Begrenzungsschicht (5), die dem Halbleitermaterial zugewandt ist, ein Material mit einer relativen Dielektrizitätszahl von mindestens 7,8 ist.~~

~~4. Speicherzelle nach Anspruch 1, bei der zumindest eine Begrenzungsschicht (5), die dem Halbleitermaterial zugewandt ist, ein Material mit einer relativen Dielektrizitätszahl von mindestens 20 ist.~~

~~5. Speicherzelle nach Anspruch 1, bei der zwischen dem Halbleitermaterial und der Speicherschicht (6) eine Barrierenhöhe von mindestens 2 eV vorhanden ist.~~

~~6. Speicherzelle nach Anspruch 1, bei der zumindest eine Begrenzungsschicht (5, 7) ein Oxid oder ein Silikat enthält.~~

~~7. Speicherzelle nach Anspruch 1, bei der zumindest eine Begrenzungsschicht (5, 7) ein Nitrid oder ein Oxinitrid enthält.~~

~~8. Speicherzelle nach Anspruch 1, bei der zumindest eine Begrenzungsschicht (5, 7) Al_2O_3 oder Ta_2O_5 enthält.~~

~~9. Speicherzelle nach einem der Ansprüche 1 bis 8, bei der die Speicherschicht (6) ein Material aus der Gruppe von undotiertem Silizium, Tantalexid, Tantalat, Hafniumsilikat, Hafniumoxid, Titanoxid, Titanat, Zirkonoxid, Lanthanoxid und Aluminiumoxid ist.~~

~~10. Speicherzelle nach Anspruch 1, bei der die Speicherschicht (6) Tantalexid oder Tantalat~~

ist.

~~11. Speicherzelle nach Anspruch 1, bei der die Speicherschicht (6) Hafniumsilikat oder Hafniumoxid ist.~~

~~12. Speicherzelle nach Anspruch 1, bei der die Speicherschicht (6) Titanoxid oder Titanat ist.~~

~~13. Speicherele nach Anspruch 1, bei der die Speicherschicht (6) Zirkonoxid, Lanthanoxid oder Aluminiumoxid ist.~~

14.1. A Speicheranordnung aus Speicherzellen nach einem der Ansprüche 1 bis 13, die als Speicher vorgesehen ist, mit einem Speichertransistor, der an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht eine Gate-Elektrode (2) aufweist, die zwischen in dem Halbleitermaterial ausgebildet Source-Bereich (3) und Drain-Bereich (4) angeordnet ist und die von dem Halbleitermaterial durch dielektrisches Material getrennt ist, das eine Speicherschicht (6) zwischen Begrenzungsschichten (5, 7) aufweist, die für den Einfang von Ladungsträgern vorgesehen ist, wobei die Gate-Elektrode (2) in einem in dem Halbleitermaterial zwischen dem Source-Bereich (3) und dem Drain-Bereich (4) ausgebildeten Graben angeordnet ist und die Speicherschicht (6) zumindest zwischen dem Source-Bereich (3) und der Gate-Elektrode (2) und zwischen dem Drain-Bereich (4) und der Gate-Elektrode (2) vorhanden ist, bei und in der Speicheranordnung die Gate-Elektroden (2) jeweils mit einer als Wortleitung vorgesehenen Leiterbahn (8) elektrisch leitend verbunden sind und in der Source-Bereich (3) und der Drain-Bereich (4) einer Speicherzelle gleichzeitig als Drain-Bereich bzw. als Source-Bereich einer benachbarten Speicherzelle vorgesehen ist, wobei a) die Source-Bereiche und die Drain-Bereiche Teile der entlang die Gräben verlaufenden Bitleitungen darstellen; b) die Wortleitungen quer zu den Gräben verlaufen; und c) Räume zwischen den benachbarten Gate-Elektroden in dem gleichen Grabe mit einem dielektrischen Material gefüllt sind.

15.2. Anordnung nach Anspruch 14.1, bei in der die die Speicherschicht (6) umfassende Schichtfolge auf dem Halbleitermaterial ganzflächig zwischen den Gate-Elektroden (2) und dem Halbleitermaterial und zwischen den Leiterbahnen (8) und dem Halbleitermaterial aufgebracht ist.

16.3. Anordnung nach Anspruch 14.1, bei in der die Speicherschicht (6) zwischen den Wänden des Grabens und/oder zwischen zwei zueinander benachbarten Gräben unterbrochen ist.

17.4. Anordnung nach einem der Ansprüche 14.1 bis 16, bei in der die Gate-Elektroden (2) in V-förmigen oder zumindest schräg ausgerichtete Wände aufweisenden Gräben in dem Halbleitermaterial angeordnet sind.

18.5. Anordnung nach einem der Ansprüche 14 bis 17, beiin der der Abstand zwischen einem Source-Bereich (3) und einem Drain-Bereich (4) derselben Speicherselle höchstens 180 nm beträgt.

19.6. Anordnung nach Anspruch 5 17, beiin der der Abstand zwischen einem Source-Bereich (3) und einem Drain-Bereich (4) derselben Speicherzelle höchstens 150 nm beträgt.

20.7. Verfahren zur Herstellung einer ~~Speicherzelle bzw. einer A~~Speicheranordnung nach einem der Ansprüche 1 bis 6 19, bei dem in einem ersten Schritt in einem Halbleiterkörper (1) oder einer Halbleiterschicht ein ~~Graben (14) oder eine Mehrzahl von parallel zueinander verlaufenden Gräben (14)~~ und seitlich daran angrenzende, als Source (3), Drain (4) und ~~mindestens eine Bitleitung vorgesehene dotierte Bereiche hergestellt werden;~~ in einem zweiten Schritt ein Speichermedium in den Gräben durch Aufbringen einer Schichtfolge aus einer unteren Begrenzungsschicht (5), einer aus einem dielektrischen Material gebildeten Speicherschicht (6) und einer oberen Begrenzungsschicht (7) hergestellt wird; in einem dritten Schritt ein für eine jeweilige Gate-Elektrode (2) vorgesehenes elektrisch leitfähiges Material in ~~den Gräben bzw. die Gräben eingebracht wird und darauf mindestens eine als Wortleitungen vorgesehene Leiterbahnen (8) strukturiert wird~~werden, wobei die Wortleitungen quer zu den Gräben angeordnet werden um die Gate-Elektroden zu verbinden.

21.8. Verfahren nach Anspruch 20 7, bei dem in dem ersten Schritt eine Mehrzahl von Gräben geätzt wird, diese Gräben mit einem Oxid gefüllt werden, eine Implantation von Dotierstoff zur Ausbildung der dotierten Bereiche vorgenommen wird und unter Verwendung einer Maske, die einen als STI-Gräben zur elektrischen Isolation vorgesehenen Anteil der Gräben abdeckt, das Oxid zumindest in Bereichen, die für eine Gate-Elektrode vorgesehen sind, entfernt wird.

~~22. Verfahren nach Anspruch 20 oder 21, bei dem in dem zweiten Schritt eine Schichtfolge aus einer unteren Begrenzungsschicht (5), einer Speicherschicht (6) und einer oberen Begrenzungsschicht (7) aufgebracht wird.~~

23.9. Verfahren nach Anspruch 7 22, bei dem zwischen dem zweiten und dem dritten Schritt die obere Begrenzungsschicht und die Speicherschicht zumindest zwischen den Wänden eines in dem Halbleitermaterial vorhandenen Grabens, der für mindestens eine Gate-Elektrode vorgesehen ist, und/oder zwischen zwei zueinander benachbarten Gräben mindestens bis auf die untere Begrenzungsschicht reichend entfernt ~~wird~~werden.

24.10. Verfahren nach einem der Ansprüche 7 20 bis 23, bei dem in dem ersten Schritt ~~der Graben oder die Gräben mit dielektrischem Material gefüllt wird bzw. werden und unter~~

Verwendung einer Maske Öffnungen (25) in dem dielektrischen Material hergestellt werden und in dem dritten Schritt das elektrisch leitfähige Material in jede solche Öffnung eingebracht wird.

25.11. Verfahren nach ~~einem der Ansprüche 720 bis 23~~, bei dem in dem ersten Schritt ~~der Graben oder die Gräben mit dielektrischem Material gefüllt wird bzw. werden~~, eine Schicht (19) aus dielektrischem Material aufgebracht wird, vor dem zweiten Schritt quer zu ~~dem Graben oder den Gräben eine streifenförmige Öffnung oder mehrere parallel zueinander ausgerichtete streifenförmige Öffnungen~~ in dem dielektrischen Material hergestellt ~~wird bzw. werden~~ und in dem dritten Schritt das elektrisch leitfähige Material in jede solche Öffnung eingebracht wird.

30 АВГ 2004



ФЕДЕРАЛЬНЫЙ ИНСТИТУТ
ПРОМЫШЛЕННОЙ СОБСТВЕННОСТИ

Бережковская наб., 30, корп. 1, Москва, Г-59, ГСП-5, 123995
Телефон 240 60 15. Телекс 114818 ПДЧ. Факс 243 33 37

☐ (74) ОТДЕЛ № 28

На № 2412-226999RU/5042 от 20.07.2004

129010, Москва,
ул. Б.Спасская, 25, строение 3
ООО "Юридическая фирма Городисский и
Партнеры"
пат. пов. Ю.Д. Кузнецову, рег. №595

(21) Наш № 2003106401/28(007159)

При переписке просим ссылаться на номер заявки и
сообщить дату получения данной корреспонденции

Date G&P: 02/09/2004



0001467835

РЕШЕНИЕ О ВЫДАЧЕ

ПАТЕНТА НА ИЗОБРЕТЕНИЕ

(21) Заявка № 2003106401/28(007159)

(22) Дата подачи заявки 06.08.2001

(24) Дата начала отсчета срока действия патента 06.08.2001

(85) Дата начала рассмотрения международной заявки на национальной фазе 11.03.2003

ПРИОРИТЕТ УСТАНОВЛЕН ПО ДАТЕ

☐ (22) подачи заявки

☐ (23) поступления дополнительных материалов от
к ранее поданной заявке № от

☐ (62) ☐ приоритета изобретения по первоначальной заявке № от ,
из которой данная заявка выделена

☐ подачи первоначальной заявки № от ,
из которой данная заявка выделена

☐ (66) подачи ранее поданной заявки № от

☒ (30) подачи первой заявки в государстве-участнике Парижской конвенции

	(31) Номер первой (ых) заявки(ок)	(32) Дата подачи первой(ых) заявки(ок)	(33) Код страны	Пункт(ы) формулы
1.	100 39 441.8	11.08.2000	DE	
2.	09/900654	06.07.2001	US	
3.				

(86) Заявка №РСТ/ DE 01/02997 от 06.08.2001

(96) Заявка №ЕА

(87) Номер публикации и дата публикации заявки РСТ WO 02/15276 21.02.2002

(72) Автор(ы) ПАЛЬМ Херберт, ВИЛЛЕР Йозеф, ГРАТЦ Ахим, КРИЦ Якоб, РЕРИХ Майк, DE

(73) Патентообладатель(и) ИНФИНЕОН ТЕКНОЛОДЖИЗ АГ, DE

(указать код страны)

(51) МПК 7 Н 01 L 27/115, Н 01 L 21/8246

(54) Название изобретения Устройство памяти и способ его изготовления

03	2	дом 20.07.2004	281001
----	---	----------------	--------

(21)2003106401/28

(54)(57)

1. Устройство памяти из запоминающих ячеек с запоминающим транзистором, содержащим на верхней стороне полупроводниковой подложки (1) или полупроводникового слоя электрод (2) затвора, расположенный между выполненными в полупроводниковом материале областью (3) истока и областью (4) стока и отделенный от полупроводникового материала диэлектрическим материалом, имеющим предусмотренный для захвата носителей заряда запоминающий слой (6) между ограничительными слоями (5, 7), причем электрод (2) затвора расположен в канавке, выполненной в полупроводниковом материале между областью (3) истока и областью (4) стока, а запоминающий слой (6) расположен по меньшей мере между областью (3) истока и электродом (2) затвора и между областью (4) стока и электродом (2) затвора, при этом в упомянутом устройстве каждый из электродов (2) затворов находится в электропроводящем соединении с предусмотренной в качестве шины слов проводящей дорожкой (8), а область (3) истока и область (4) стока одной запоминающей ячейки одновременно служат в качестве соответственно области стока и области истока соседней запоминающей ячейки, и при этом а) области истока и стока представляют собой части проходящих вдоль канавок разрядных шин; б) шины слов проходят поперек канавок; и с)

пространства между смежными электродами затворов в той же самой канавке заполнены диэлектрическим материалом.

2. Устройство по п.1, в котором включающая в себя запоминающий слой (6) последовательность слоев нанесена на всю поверхность полупроводникового материала между электродами (2) затворов и полупроводниковым материалом и между проводящими дорожками (8) и полупроводниковым материалом.

3. Устройство по п.1, в котором запоминающий слой (6) прерван между стенками канавки и/или между двумя соседними между собой канавками.

4. Устройство по п.1, в котором электроды (2) затворов расположены в V-образных или по меньшей мере имеющих косо ориентированные стенки канавках в полупроводниковом материале.

5. Устройство по п.1, в котором расстояние между областью (3) истока и областью (4) стока одной и той же запоминающей ячейки составляет самое большее 180 нм.

6. Устройство по п.5, в котором расстояние между областью (3) истока и областью (4) стока одной и той же запоминающей ячейки составляет самое большее 150 нм.

7. Способ изготовления устройства памяти по любому из п.п.1-6, согласно которому на первом этапе в полупроводниковой подложке (1) или полупроводниковом слое изготавливают множество проходящих параллельно друг другу канавок (14) и граничащие с ними сбоку легированные области, служащие в качестве истока (3), стока (4) и разрядной шины; на втором этапе в канавках изготавливают запоминающую среду путем последовательного нанесения нижнего ограничительного слоя (5), запоминающего слоя (6), выполненного из диэлектрического материала, и верхнего ограничительного слоя (7); на третьем этапе в канавки помещают предусмотренный для соответствующего электрода (2) затвора электропроводящий материал, после

чего структурируют служащие шинами слов проводящие дорожки (8), причем шины слов располагают поперек канавок для соединения с электродами затворов.

8. Способ по п.7, в котором на первом этапе вытравливают множество канавок, эти канавки заполняют оксидом, осуществляют имплантацию легирующей примеси для образования легированных областей, и с применением маски, закрывающей предусмотренную в качестве STI-канавок для электрической изоляции часть канавок, удаляют оксид на по меньшей мере участках, предусмотренных для электрода затвора.

9. Способ по п.7, в котором между вторым и третьим этапами удаляют по меньшей мере до нижнего ограничительного слоя верхний ограничительный слой и запоминающий слой по меньшей мере между стенками выполненной в полупроводниковом материале канавки, предусмотренной для по меньшей мере одного электрода затвора, и/или между двумя соседними между собой канавками.

10. Способ по п.7, в котором на первом этапе канавки заполняют диэлектрическим материалом, и с применением маски изготавливают отверстия (25) в диэлектрическом материале, а на третьем этапе в каждое такое отверстие помещают электропроводящий материал.

11. Способ по п.7, в котором на первом этапе канавки заполняют диэлектрическим материалом, наносят слой (19) из диэлектрического материала, перед вторым этапом поперек канавок в диэлектрическом материале изготавливают несколько ориентированных параллельно друг другу полосообразных отверстий, а на третьем этапе в каждое такое отверстие помещают электропроводящий материал.

(56) EP 0967654 A1, 29.12.1999.

US 3731163 A, 01.05.1973.

DE 2946864 A, 04.06.1980.

US 5905285 A, 18.05.1999.

SU 752476 A, 30.07.1980.

При публикации сведений о выдаче патента будет использовано описание в редакции, уточненной заявителем (заменен лист 13) и первоначальные чертежи.

Приложение. Реферат, скорректированный экспертизой на 1 л. в 1 экз.

Главный государственный
патентный эксперт



А.Г.Царев
240 40 36

Багинская 240 40 36

(54) Устройство памяти и способ его изготовления

Реферат

(57) Изобретение относится к области электрически записываемых и стираемых энергонезависимых флэш-ЗУ. Сущность изобретения: устройство памяти выполнено из запоминающих ячеек с запоминающим транзистором, в котором на верхней стороне полупроводниковой подложки между областями истока и стока расположен электрод затвора, отделенный от полупроводникового материала диэлектриком, имеющим запоминающий слой между ограничительными слоями. Электрод затвора расположен в канавке, выполненной в полупроводниковом материале между областью истока и областью стока, а запоминающий слой расположен по меньшей мере между областью истока и электродом затвора и между областью стока и электродом затвора. Каждый из электродов затворов находится в электропроводящем соединении с предусмотренной в качестве шины слов проводящей дорожкой. Область истока и область стока одной запоминающей ячейки одновременно служат в качестве соответственно области стока и области истока соседней запоминающей ячейки. Шины слов проходят поперек канавок. Техническим результатом изобретения является создание устройства памяти из запоминающих ячеек с предельно малой потребностью в площади. 2 н.п.ф-лы, 9 з.п.ф-лы, 13 илл.